

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 61-182389

(43)Date of publication of application : 15.08.1986

---

(51)Int.Cl. H04N 7/18  
H04N 1/40  
H04N 5/208

---

(21)Application number : 60-021648 (71)Applicant : HITACHI LTD  
(22)Date of filing : 08.02.1985 (72)Inventor : KURITA TOSHIYUKI  
MURATA TOSHINORI

---

### (54) PICTURE IMAGE SIGNAL PROCESSING DEVICE

#### (57)Abstract:

PURPOSE: To eliminate only a fog at an intensified part by designating plural picture image regions subject to division and varying emphasized quantity.

CONSTITUTION: A camera 101 displays at first a picture image signal 102 picked up by print paper 10 from a monitor 104. Then the system user uses a light pen input device 105 to surround a region of a part desired for high frequency emphasis optionally. A CPU109 reads an output of a coordinate read circuit 108 and records the start point and end point of the region subject to high frequency emphasis in response to each scanning line. In switching the amount of emphasis of a high frequency emphasis circuit 202 from the output of a region designation circuit 111 the high frequency of the region intended by the system user is emphasized and the high frequency is not emphasized in other parts in the picture.

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 昭61-182389

⑪ Int.Cl. <sup>4</sup>	識別記号	庁内整理番号	⑬ 公開
H 04 N 7/18		7245-5C	昭和61年(1986)8月15日
1/40	1 0 1	C-7136-5C	
5/208		7170-5C	審査請求 未請求 発明の数 1 (全5頁)

⑭ 発明の名称 画像信号処理装置

⑯ 特 願 昭60-21648

⑰ 出 願 昭60(1985)2月8日

⑱ 発 明 者 栗 田 俊 之 横浜市戸塚区吉田町292番地 株式会社日立製作所家電研  
究所内

⑲ 発 明 者 村 田 敏 則 横浜市戸塚区吉田町292番地 株式会社日立製作所家電研  
究所内

⑳ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

㉑ 代 理 人 弁理士 小川 勝男 外1名

明 細 書

1 発明の名称 画像信号処理装置

2 特許請求の範囲

撮像装置と、上記撮像装置出力である画像信号をアナログ-デジタル変換するアナログ-デジタル変換器と、上記アナログ-デジタル変換器出力信号を高域強調する高域強調回路を備えた画像信号処理装置に於て、上記撮像装置からの同期信号に同期してアドレスを発生させるアドレス発生手段と、上記画像信号で示される画像のうちの任意の座標を読み取る座標読み取り手段と、複数個の空間領域を指定する領域指定手段と、上記座標読み取り手段出力を読み取り上記領域指定手段へ書き込む書き込み手段と、上記アドレス発生手段出力であるアドレス信号と上記書き込み手段出力であるアドレス信号とを切り換え、上記領域指定手段にアドレス信号を与えるアドレス信号切り換え手段と、上記高域強調回路の強調量を可変する強調量可変手段とを設け、上記アドレス発生手段出力であるア

ドレス信号により上記領域指定手段を読み出し、上記領域指定手段出力により上記強調量可変手段を可変することを特徴とする画像処理装置。

3 発明の詳細な説明

[ 発明の利用分野 ]

本発明は、写真画像のような静止画像のビンゲ補正に関するものである。

[ 発明の背景 ]

一般に画像信号にはさまざまな種類の雑音や歪が含まれている。こうした雑音や歪を取りのぞき、画像の持つ情報を人間にとつて見やすくする画像信号処理装置が広く用いられている。このような画像信号処理装置の中で画像の歪けを処理するものの従来例を第2図に示す。画像の歪けは、低い空間周波数成分にくらべ高い空間周波数成分が弱められることによつて生じる。そしてその影響は、濃度の様な領域間の境界部分(エッジ)に現れる。したがつて歪けを取り除くには高い空間周波数成分を強調すればよい。

画像信号を二次元の関数  $f(x, y)$  で表すと、高い空間周波数成分を強調した画像信号  $g(x, y)$  は、 $\alpha$  を強調量として ( $\alpha > 0$ ) (1)

$$g(x, y) = f(x, y) - \alpha \nabla^2 f(x, y)$$

とラプラスアン  $\nabla^2 f(x, y)$  を用いた式で表現できる。実際に式(1)を計算すれば画像のぼけを取り除ける。以上が画像のぼけの処理の原理であり、更に詳しくは、A. Rosenfeld, A.C. KAK; 長尾真監訳：デジタル画像処理（昭55-12）近代科学社、に記載されている。

式(1)を計算する従来の具体的回路を第2図に示す。第2図において201は画像信号、202は高域強調回路、203は1H遅延回路、204は1H遅延回路、205、207、208、209、210はそれぞれ1ドット（1画素）遅延回路、206は-4倍を係数する係数器、211は加算器、212は強調量 $\alpha$ を係数する係数器、213は減算器である。

ここで式(1)を書き直すと、

を提供することにある。

〔発明の概要〕

本発明は上記目的を達成するために画像信号が示す画像空間を複数の空間領域に分割する分割手段と、上記分割手段により分割された複数の空間領域を指定する複数の領域指定手段と、高域強調回路の強調量を可変する可変手段を設け、上記領域指定手段出力により上記強調量可変手段を可変することとを特徴とする。

〔発明の実施例〕

以下、本発明の一実施例を第1図により説明する。第1図において、101はビデオカメラ、102はビデオカメラ101出力である画像信号、103はアナログ-デジタル変換器、202は空間周波数の高域強調回路、104は画像モニタ、105はライトペン入力装置、106はカメラ101出力の同期信号、107は同期信号106に同期した水平・垂直アドレスを発生するアドレス発生回路、108はライトペン入力装置105からの信号出力でアドレス発生回路107出力のアドレス

特開昭61-182389(2)

$$\begin{aligned} g(i, j) = & f(i, j) - \alpha \{ f(i-1, j) \\ & + f(i+1, j) + f(i, j-1) \\ & + f(i, j+1) - 4f(i, j) \} \quad (2) \end{aligned}$$

となり式(1)を、第2図で計算できることがわかる。

ところでこのような従来の画像処理でぼけを取り除く場合次のような欠点があつた。まず第3図(a)のような写真の印画紙10で背景11にピン트가合つていて写したいもの12がぼけている時、従来技術では写したいもの12のぼけは改善は可能であるが背景11についても、より強調されるので不自然な写真となつてしまう。また第3図(b)のように走っている人15にカメラを動かして写真をとつた時、当然背景14が流れて写る。この場合写真を画像処理して高域を強調しようとするとやはり背景14も強調されるので不自然なものになつてしまう。

〔発明の目的〕

本発明の目的は、従来技術の欠点を解消し、特定の部分のみのぼけを取り除く画像処理装置

を読み取る座標読み取り回路、109はCPU、110はアドレス発生回路107出力のアドレス信号とCPU109出力のアドレス信号とを切り換えるアドレス切り換え回路、111は高域強調領域を指定する領域指定回路、112は高域強調領域指定出力、113はCPU109が領域指定回路をアクセスする時パツファを開き、それ以外の時パツファを閉じるパツファ回路である。この第1図の回路は次のように動作する。まずカメラ101が第3図(a)で示す印画紙10を撮像する。その撮像出力である画像信号102をモニタ104により映出する。そしてシステム利用者が第4図の様にモニタ104出力を見ながらライトペン入力装置105を用いて、任意の高域強調をしたい部分の領域を囲む。ライトペン入力装置105からの出力信号はモニタ104の走査に対応して出力されるので、ライトペンの指し示す座標は、ライトペン入力装置105出力が発生した時のアドレス発生回路107出力を読み取ればよい。この動作をするのが座標読み取り回路108である。

## 特開昭61-182389(3)

CPU 109はこの座標読み取り回路108出力を読み取り、モニタ104の各走査線に対応して高域強調を行なう領域の開始点と終了点を第5図のように記録する。システム利用者がライトペン入力装置105により高域強調指定領域の輪郭を入力すれば、CPU 109は第5図の表について開始座標、終了座標を記録することができる。そしてライトペン入力装置105が描く輪郭線が閉じたことを検出したら、CPU 109は第5図の表の情報をもとに高域強調するための領域指定を行なう。まずCPU 109はアドレス切り換え回路110を切り換えてCPUのアドレス信号がアドレス切り換え回路110の出力となるよう制御し、さらにパンプアップ回路113を開いてCPU 109からのデータが領域指定回路111に書き込めるように制御する。ここで領域指定回路111は第4図の画像に対応したメモリ回路であり、第4図の画像の4画素×4ラインに対し1ビットが割り当てられている。したがって910画素×525ラインの画像信号に対し228×131の領

域指定が可能である。この様子を示したものが第6図である。この一実施例ではメモリの容量を228×131としたが、実際の画像と同じように910×525と細かくしてもよいし、反対にさらに粗い割り当てを行なってもよい。CPU 109は第5図の表を読み込んで各ライン毎に開始座標と終了座標に対応する領域指定回路111上のアドレスを計算する。その後各ライン毎の開始座標から終了座標まで'H'レベルの信号を領域指定回路111に書き込む。その他の座標には'L'レベルの信号を書き込む。全てのラインについてこの作業を行なうと第6図の斜線部分について'H'レベルが、その他の部分について'L'レベルが書き込まれる。CPU 109が領域指定回路111に対し領域指定を終えた後アドレス切り換え回路110をアドレス切り換え回路110出力がアドレス発生回路107出力となるように制御しさらにパンプアップ回路113を閉じる。そうすると領域指定回路111は画像信号102に同期したアドレスにより制御され、高域強調指定領域部分

について'H'レベルが、それ以外の領域について'L'レベルが出力される。この領域指定回路111出力により高域強調回路202の強調量を切り換えてやれば、システム利用者の意図した領域のみ高域が強調され、その他の部分については高域が強調されない画像を得ることが可能である。ここで高域強調回路202の強調量の可変方法について第7図を用いて説明する。第7図について第2図と同じ動きをする部分に関しては同一の符号が記入してある。第7図において第2図と異なる部分についてのみ説明する。

701は乗算器、702は乗数、703、704は定数705は切り換え回路、706は切り換え制御信号である。次にこの強調量を可変する回路の動作について説明する。703、704は定数であり、例えばそれぞれ0、2とする。切り換え制御信号706は第1図の高域強調領域指定出力112と接続されており、高域強調領域指定出力112が'H'の時切り換え回路705は定数704を選択し2が乗数702に出力される。また高域強調領域

指定出力112が'L'の時切り換え回路705は定数703を選択し、0が乗数702に出力される。したがって高域強調指定領域では画像信号

$g_1(x, y)$ は

$$g_1(x, y) = f(x, y) - 2v^2 f(x, y) \quad (3)$$

となり、それ以外の部分では画像信号 $g_2(x, y)$ は

$$g_2(x, y) = f(x, y) \quad (4)$$

となり、指定した部分のみ高域強調が可能となる。

以上により第3図(a)の画像の指定部のみの歪みを改善し良好な画像を得ることができる。

第8図は本発明による別の実施例であり、第1図と同一の部分については同一の符号をつけてある。第8図は、高域を強調したい画像が画像メモリ801に貯えられている場合であり、この場合にも本発明が有効であることは明らかである。

〔発明の効果〕

本発明により、従来の高域強調回路の欠点を

#### 4 凶面の簡単な説明

101 ... カメラ                      103 ... A / D  
202 ... 高域強調回路            104 ... モニタ  
105 ... ライトペン  
107 ... アドレス発生回路

代理人弁理士 小 川 勝 男

Figure 1 is a block diagram of a video signal processing system. The diagram includes the following components and connections:

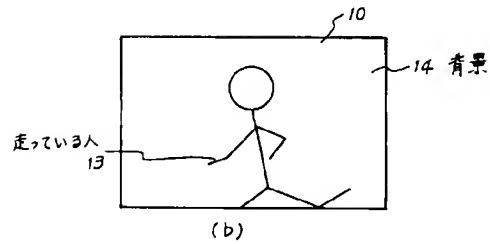
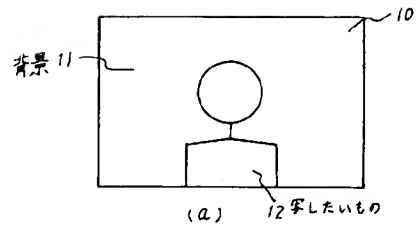
- 101**: Input signal source.
- 102**: Phase-locked loop (PLL) circuit.
- 103**: Frequency divider circuit.
- 104**: Control signal input.
- 105**: Memory circuit.
- 106**: Reference frequency input.
- 107**: Frequency divider circuit.
- 108**: Data selector circuit.
- 109**: CPU (Central Processing Unit).
- 110**: Multiplexer (MPX).
- 111**: Video signal output.
- 112**: Video signal input.
- 113**: Buffer circuit.

The signal flow is as follows:

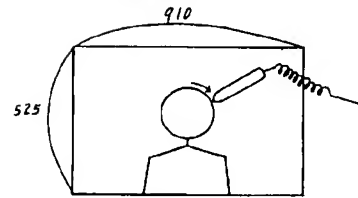
- The input signal (**101**) is processed by the PLL (**102**) and the frequency divider (**103**) to produce a high-frequency signal (**202**).
- The control signal (**104**) is input to the memory (**105**) and the data selector (**108**).
- The reference frequency (**106**) is input to the PLL (**102**).
- The frequency divider (**107**) is connected to the PLL (**102**).
- The data selector (**108**) is connected to the CPU (**109**).
- The CPU (**109**) is connected to the multiplexer (**110**).
- The multiplexer (**110**) is connected to the video signal output (**111**) and the video signal input (**112**).
- The buffer (**113**) is connected to the multiplexer (**110**).

特開昭61-182389(5)

第3図



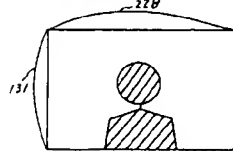
第4図



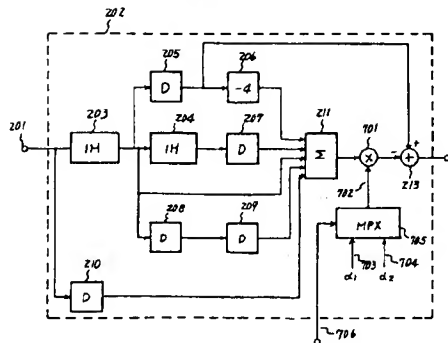
第5図

	開始座標	終了座標
第1行	—	—
第2行	—	—
第3行	400	500
第4行	400	500
	∫	∫
第524行	200	700
第525行	200	700

第6図



第7図



第8図

